

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-138203

(43)Date of publication of application : 26.08.1982

(51)Int.Cl. H03B 1/00  
H03H 17/00

(21)Application number : 56-023970

(71)Applicant : NEC CORP

(22)Date of filing : 20.02.1981

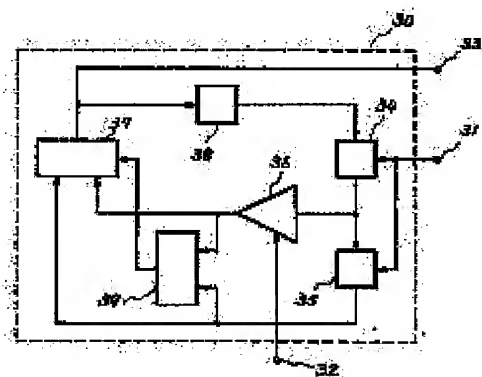
(72)Inventor : MARUTA RIKIO

## (54) DIGITAL OSCILLATOR

### (57)Abstract:

**PURPOSE:** To achieve oscillation at a frequency irrespective of a sampling frequency by adding a function of generating a control numeral in accordance with a phase difference between the output of a digital oscillator and a reference input, and varying the oscillation frequency by it.

**CONSTITUTION:** A digital oscillator 30 inputs a sampling clock signal via a terminal 31 and a control numeral indicating an oscillation frequency through a terminal 32, and at a terminal 33, a digital sampled value sequence appears as its oscillation output. Then, one-sample delaying circuits 34 and 35 delay an input sampled value by a one-sampling-clock period by said sampling clock signal. A multiplier 36 multiplies a data sample by a coefficient sample. In the figure, 37 is an adder and 38 is a nonlinear transfer circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭57-138203

⑰ Int. Cl.<sup>8</sup>  
H 03 B 1/00  
H 03 H 17/00

識別記号

庁内整理番号  
6964-5 J  
8124-5 J

⑱ 公開 昭和57年(1982) 8月26日

発明の数 4  
審査請求 未請求

(全 7 頁)

⑳ デジタル発振器

東京都港区芝五丁目33番1号日  
本電気株式会社内

㉑ 特 願 昭56-23970

㉒ 出 願 人 日本電気株式会社

㉓ 出 願 昭56(1981) 2月20日

東京都港区芝5丁目33番1号

㉔ 発 明 者 丸田力男

㉕ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 デジタル発振器

特許請求の範囲

1. 2次の $Z$ 伝達関数を有する掃置形デジタルフィルタによるデジタル・サンプリング値系列を発生するデジタル発振器において、前記フィルタの出力信号レベルが一定値以下のときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円外に極を有し、また出力信号レベルが前記一定値を越えるときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円内に極を有するように前記2次の $Z$ 伝達関数を変え、機能を掃置回路内に附加することによって実現したことを特徴とするデジタル発振器。
2. 2次の $Z$ 伝達関数を有する掃置形デジタルフィルタによるデジタル・サンプリング値系列を発生するデジタル発振器において、前記フィルタの出力信号レベルが一定値以下のときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円外に極を有

し、また出力信号レベルが前記一定値を越えるときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円内に極を有するように前記2次の $Z$ 伝達関数を変え、機能を掃置回路内に附加するとともに掃置回路中の信号がすべて零のとき非零の信号を強制的に掃置ループ内に注入する機能を追加したことを特徴とするデジタル発振器。

3. 2次の $Z$ 伝達関数を有する掃置形デジタルフィルタによるデジタル・サンプリング値系列を発生するデジタル発振器において、前記フィルタの出力信号レベルが一定値以下のときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円外に極を有し、また出力信号レベルが前記一定値を越えるときには前記2次の $Z$ 伝達関数が $Z$ 平面の単位円内に極を有するように前記2次の $Z$ 伝達関数を変え、機能を掃置回路内に附加することによって実現したデジタル発振手段と、該デジタル発振手段出力の位相と外部から供給される基準入力位相を比較し位相差に応じた制御数値を発生する機能を加え、前記制御数値によって前記デジタル

発振手段の発振周波数が変わるように構成し、前記基準入力に同期したデジタル正弦波サンプル値系列を出力することを特徴とするデジタル発振器。

4. 2次のZ伝達関数を有する掃進形デジタルフィルタによるデジタル・サンプリング値系列を発生するデジタル発振器において、前記フィルタの出力信号レベルが一定値以下のときには前記2次のZ伝達関数がZ平面の単位円外に極を有し、また出力信号レベルが前記一定値を越えるときには前記2次のZ伝達関数がZ平面の単位円内に極を有するように前記2次のZ伝達関数を変え、増進回路内に附加することによって実現したデジタル発振手段と、増進回路中の信号がすべて零のとき非零の信号を強制的に掃進ループ内に注入する機能と、該デジタル発振手段出力の位相と外部から供給される基準入力の位相を比較し位相差に応じた制御数値を発生する機能を加え、前記制御数値によって前記デジタル発振手段の発振周波数が変わるように構成し、前記基準

入力に同期したデジタル正弦波サンプル値系列を出力することを特徴とするデジタル発振器。

#### 発明の詳細な説明

本発明は発振器、特に正弦波のデジタル・サンプル値系列を発生するデジタル発振器に関する。

変換器を用いずに直接正弦波のデジタル・サンプル値系列を得たい場合が多々ある。これは変換に伴う歪の増加、精度の劣化を防ぐと共に、デジタル処理による経済化、小形化が可能であるためである。

正弦波のデジタル・サンプル値系列を直接得る簡単な方法としてはROM(読出専用メモリ)に正弦波の一周期分のサンプル値を全て格納しておき、この内容を順次繰返し読出す方法がある。ROMの読出しを着地順に1ステップずつでなくn(正整数)着地おきに行なえばn倍の周波数のデジタル・サンプル値系列が得られる。1周期の正弦波をN(正整数)等分した角度に対する正弦関数

$$= \frac{Z^2}{Z^2 + b_1 Z + b_2} \quad (1)$$

式(1)の分母の2次式の根 $\gamma_1, \gamma_2$ は

$$\gamma_{1,2} = -\frac{b_1}{2} \pm \sqrt{\frac{b_1^2}{4} - b_2} \quad (2)$$

であり、 $b_1^2/4 + b_2 < 0$ のときには $\gamma_1$ と $\gamma_2$ は $\gamma_1 = re^{j\theta}, \gamma_2 = re^{-j\theta}$ という複素数になる。但し、 $\gamma = b_2, \theta = \cos^{-1}(-b_1/2b_2)$ である。この $\gamma_1$ と $\gamma_2$ を用いてH(Z)をあらわすと(3)式が得られる。

$$H(Z) = \frac{Z^2}{(Z - \gamma_1)(Z - \gamma_2)} \quad (3)$$

したがってH(Z)は $Z = \gamma_1$ と $Z = \gamma_2$ の点に極を有し $Z = 0$ の点に2重の零点を有することが明らかである。第2図はこの極と零点をZ平面上にあらわしたものである。この極が単位円の内側にあれば第1図の回路は安定で単位円の外側にあると不安定であることが知られている。すなわち、極が単位円の内側にあるとき、入力としてインパルスを加えると $\omega T = \theta$ の周波数で振動しながら、指数的に零に減衰していく減衰正弦波が得られ、逆に、極が単位円の外側にあるとき、入力としてインパルスを加えると次第に振幅が増大しつづける。

の値をROMに入れておき、サンプルクロック $T^{-1}$  [Hz]で読出すものとし、1サンプルクロック間のアドレス増分を1とすると出力は $\sin(N\omega T)$  [Hz]の正弦波のデジタル・サンプル値系列となる。この方法はNが比較的小さいときは実用的であるがNが大きくなるとROMの構成が経済的でなくなる。またこの方式では、サンプルクロックと同期関係にない正弦波の発生はできない。

第1図はROMによらずデジタル演算により正弦波のデジタル・サンプル値系列を発生する方法を説明するための回路図である。この回路は2次のZ伝達関数を掃進路にもつ掃進(巡回)形デジタルフィルタで、加算器1及び6、1サンプル遅延回路2及び3、さらに乗算器4及び5から成る。この回路の入力及び出力のZ変換をそれぞれX(Z)、Y(Z)とすると、入力から出力迄のZ伝達関数 $H(Z) \triangleq Y(Z)/X(Z)$ は次式で与えられることが知られている。但し乗算器4及び5の係数はそれぞれ $-b_1, -b_2$ であるとする。

$$H(Z) = \frac{1}{1 + b_1 Z^{-1} + b_2 Z^{-2}}$$

発散する正弦波が得られる。 $b_2 = 1$ で極が丁度単位円上にあるときには同一振幅の正弦波動が連続することになる。なお、この場合、インパルスを入力するとしたが、インパルスを加えなくとも最初のスタート時点において1サンプル遅延回路2と3の一方もしくは両方に非零のサンプルが入っていると正弦波動を開始する。したがって、Z平面の単位円上に極を配置した2次の梯形形デジタルフィルタを用いれば正弦波発振が得られその発振周波数は乗算器4の係数 $-b_1$ の値によって変えることができる。係数 $-b_1$ を $-2$ から $+2$ 迄変えると発振周波数はDCから $1/(2T)$  (Hz)迄変化する。

しかしながら、上述の発振器においては、発振出力の振幅が初期値により、また同一初期値の場合でも発振周波数によって異なるため常に一定振幅で自動的に発振することはできない。使用開始時に適当な初期値を設定することによって一定振幅の発振を行なわせても途中で何らかのじょう乱や係数の設定変更が行なわれると発振出力の振幅

を有するように出力信号レベルに応じて前記2次のZ伝達関数を切換える機能を附加して得られる。

更に本発明によるデジタル発振器は前記構成によるデジタル発振器に、さらに帰還回路中の信号がすべて零のとき非零の信号を強制的に帰還ループ内に注入する機能を附加して得られる。

更に本発明によるデジタル発振器は前記いずれか構成によるデジタル発振器に、該デジタル発振器出力の位相と外部から供給される基準入力の位相を比較し位相差に応じて単調増加もしくは単調減少する制御数値を発生する機能を加え、さらに該制御数値によって前記デジタル発振器の発振周波数を変える機能を附加して得られる。

次に本発明について図面を用いて詳細に説明する。

第3図は本発明によるデジタル発振器の第1および第2の実施例を説明するためのブロック図である。第1の実施例としてデジタル発振器30は端子31を通じてサンプルクロック信号、端子32を通じて発振周波数を指示する制御数値を与

が変化してしまう。本発明の目的は従来のデジタル発振器のこのような欠点を除いた初期の発振出力振幅の大小及び動作中のじょう乱の有無に拘わらず常に安定な発振出力振幅が得られるデジタル発振器を提供することにある。

本発明の他の目的は必ずしもサンプル周波数と同期関係のない周波数での発振が可能なデジタル発振器を提供することにある。

本発明の別の目的は多次処理やLSI化による産微化、小形化、低電力化の可能なデジタル発振器を提供することにある。

本発明のさらに別の目的はアナログ回路では実現困難な超低周波領域での発振も安定に行なえるデジタル発振器を提供することにある。

本発明によるデジタル発振器は、2次のZ伝達関数を有する梯形形デジタルフィルタにおいて出力信号レベルが一定値以下のときには前記2次のZ伝達関数がZ平面の単位円外に極を有し、また出力信号レベルが前記一定値を超えときには前記2次のZ伝達関数がZ平面の単位円内に極

えられ、端子33に発振出力として正弦波のデジタルサンプル値系列を出力するもので、1サンプル遅延回路34、35、乗算器36、加算器37、非直線伝達回路38を用いて構成されている。第2の実施例では上記の構成要素に全零信号検出回路39がさらに加わる。

まず全零信号検出回路39を除いた第1の実施例詳細構成及び動作について説明する。1サンプル遅延回路34及び35は端子31を通じて与えられるサンプルクロック信号によって入力サンプル値を1サンプルクロック間遅延させるものでレジスタICを用いて構成できる。乗算器36はデータサンプルと係数サンプルの乗算を行なうもので、例えば16ビット×16ビットの並列乗算用IC等が市販されているのでそれらを用いればよい。加算器37も市販の例えば4ビット2進加算器等を必要ビット数接続して用いることができる。非直線伝達回路38は第4図に示す加減入出力伝達特性を有するもので後述のように例えば第5図の構成で実現できる。

第4図において①は入力 $z$ 、出力 $z'$ とすると $z' = -z$ の直線であり入力の極性が反転されることを示している。非直線伝達回路38がもし第4図①の直線伝達特性をもつときは、第3図の構成は前述の第1図のデジタルフィルタにおいて入力を0、 $b_1$ を1とした場合と原理的に等価である。すなわち、このときにはこの回路は $z$ 平面の単位円上に極を有するので、1サンプル遅延回路34及び35内の初期値と乗算器36に与えられた係数値によって定まる周波数と振幅の正弦振動を行なう。

本発明においては全て非直線伝達回路38が第4図②の如き非直線入出力特性を有することを特徴とする。第4図②は入力 $z$ が $-z_m < z < z_m$ の範囲内では、 $\delta_1$ を1より小の正の数とすると、 $z' = -(1+\delta_1)z$ であり、 $z$ が $-z_m$ 以下と $z_m$ 以上の範囲では $\delta_2$ を1より小の正の数とすると、 $z' = -(1-\delta_2)z$ である。 $\delta_1$ と $\delta_2$ は等しい値であってもよい。したがって入力 $z$ が $-z_m < z < z_m$ の範囲内では第3図の回路のループゲインは1を

すなわち、本発明によれば初期値の大小、周波数の如何によらずまた途中何らかのじょう乱があっても時間の経過後には必ず回路によって定まる一定の持続振動が得られるので、信頼性の高いデジタル発振器が提供できる。但し1サンプル遅延回路34、35の初期値が共に零であるときに限り発振は生じない。しかしこのような確率は極めて小さい。例えば1サンプルを16ビットであらわす場合に2サンプル共に零である確率は初期値がランダムと仮定すれば $0.5^{16} \times 0.5^{16} = 0.5^{32} \approx 4 \times 10^{-10}$ にすぎず、より長いビットの場合にはさらに小さな値となって実用上問題ないと考えられる。

本発明の第2の実施例はいかに小さな確率であっても発振しない場合があつてはならないときに用いるのに適したデジタル発振器を提供するものである。全零信号検出回路39を含めた第3図が第2の実施例である。乗算器36または1サンプル遅延回路34の出力と1サンプル遅延回路35の出力の全ビットが $0$ であることを全零信号検

出回路39において検出すると加算器37の最下位キャリアー入力端子に $1$ を入力する。全零信号検出回路39はNOR回路により実現できる。加算器37の最下位キャリアー入力は通常 $0$ が与えられるが消遣ループ内に信号がないときのみ $1$ が与えられることになる。この結果発振が開始され、振幅増大を受け定常値に達することができる。一旦発振動作が始まると全零信号検出回路39の出力は $0$ となり以後何ら発振出力に影響を与えない。

次に非直線伝達回路38の実現方法を第5図及び第6図のブロック図により説明する。非直線伝達回路38は入力端子50から出力端子59迄の入出力特性が第4図のようになるもので振幅比較器51、52、スケーリング回路53、加減算器54、極性反転器55及びU&R回路56から構成できる。非直線性を決める前述の $\delta_1, \delta_2$ は $\delta_1 = \delta_2$ に選ばれたものと仮定している。スケーリング回路53は入力を $z$ とすると $z\delta$ を求める回路で $\delta$ が2のべき、すなわち $2^{-n}$ で且つ $z$ が2の概数

越えることになる。いいかえれば第1図のブロック図における $|b_1|$ が1以上となる。すなわち、非直線伝達回路38の利得 $(1+\delta_1)$ を加算器37の入力側に移してみれば $b_1$ と $b_2$ がそれぞれ $(1+\delta_1)$ 倍されることになる。このとき $z$ 平面における伝達関数の極は単位円外にあることになる。したがって第3図の回路で生ずる初期振動が $z_m$ 以下の振幅であっても、時間と共に振幅が増加しついには $z_m$ に達するようになる。信号(絶対値)が $z_m$ を越えると非直線伝達回路38のゲインが $(1-\delta_2)$ になり、等価的に $b_1$ と $b_2$ が $(1-\delta_2)$ 倍される。このとき $z$ 平面における伝達関数の極は単位円内にある。それ故増大してきた正弦振動は今度は減衰を受けるようになる。したがってこの回路における正弦振動は減衰動作と増幅動作の力の均衡点で持続振動を続けることになる。初期振動が $z_m$ を越える場合においても同様にある時間経過後には一定振幅の持続振動が得られる。 $\delta_1$ 及び $\delta_2$ の値を十分とれば振幅の変動幅、歪等は実用上問題のない範囲におさえられる。

次に非直線伝達回路38の実現方法を第5図及び第6図のブロック図により説明する。非直線伝達回路38は入力端子50から出力端子59迄の入出力特性が第4図のようになるもので振幅比較器51、52、スケーリング回路53、加減算器54、極性反転器55及びU&R回路56から構成できる。非直線性を決める前述の $\delta_1, \delta_2$ は $\delta_1 = \delta_2$ に選ばれたものと仮定している。スケーリング回路53は入力を $z$ とすると $z\delta$ を求める回路で $\delta$ が2のべき、すなわち $2^{-n}$ で且つ $z$ が2の概数

表示の並列信号であれば、第6図の結線の実現できる。第6図では入力60の値を $2^{-2}$ 倍して出力61にそのスケーリング結果を得ている。

第5図において端子50に入力信号 $z$ が与えられると振幅比較器51では $z$ が $z_m$ 以上か否か、振幅比較器52では $z$ が $-z_m$ 以下か否かの判定を行なう。OR回路56の出力は入力信号 $z$ が $(-z_m, +z_m)$ の範囲内にあるか否かを示す。加減算器54では入力 $z$ と入力 $z$ がスケーリングされた信号 $sz$ の間の加減算を行なう。OR回路56の出力が入力 $z$ は $(-z_m, +z_m)$ の範囲内にあることを示しているときには加減算器54は $z+sz$ 、それ以外ときには $z-sz$ の計算を行なう。極性反転回路55では $(z+sz)$ 、 $(z-sz)$ を $-(z+sz)$ 、 $-(z-sz)$ に変換する。

次に第7図のブロック図を用いて本発明によるデジタル発振器の第3の実施例について詳細に説明する。第7図における30番台の参照数字は全て第3図の該当数字と同一であることを示す。第7図は第1あるいは第2の実施例によるディジ

タル発振器30の発振周波数を制御する制御数値となる。この制御数値は端子32を通じて発振器30内の乗算器36の係数となる。端子74に与えられるバイアス値はループフィルタ71から与えられる制御数値が零のときの発振器30の発振周波数を任意に設定するためのもので、バイアス=0（したがって加算器72を省略も可）のときの発振周波数は $(4T)^{-1}H_0$ となる。バイアスを与えると共にループフィルタ出力の可変範囲を適当に設定することによって、バイアスで決まる周波数のまわりのある範囲内で基準入力への追従が可能になる。したがって第7図の構成により、もし発振出力周波数が基準入力周波数と異なっていると、その周波数差を最小にするようにフィードバック制御が行なわれ結局発振出力は基準入力周波数にロックする。

以上詳細に説明したように本発明第1～第3の実施例によれば全デジタル的にしかもROM等の大容量メモリを用いずに正弦波のデジタルサンプル値系列を発生することができる。また第3の

タル発振器30の発振周波数を端子78を通じて外部から与えられる基準信号の周波数に引込ませる機能を実現する。端子33に与えられる発振出力と端子73に与えられる基準入力との位相比較が位相比較器70において行なわれる。位相比較器70は例えば2入力の積を計算する乗算器により実現できる。この位相比較器70の出力は高周波成分を含むが、次にループフィルタ71によりその高周波成分は除去され、ループフィルタ71の出力には発振出力と基準入力の位相差に応じた数値が得られる。ループフィルタ71は例えば2伝達関数 $(1+\alpha Z^{-1})^{-1}$ を有する1次の掃蕩形デジタルフィルタによって実現できる。第7図のループフィルタ71内のブロック図は加算器711、振幅制限器712、1サンプル遅延回路713、係数乗算器714による1次掃蕩形デジタルフィルタを示している。振幅制限器712は値レベルを一定の値、例えば±0.5に制限するリミッタである。ループフィルタ71の出力は次に加算器72において、端子74に与えられるバイアスと加算され、

実施例によれば発振周波数を外部基準信号にロックすることもできる。本発明は単に正弦波のデジタル発振器としてだけでなく周波数変調信号の変調や復調に用いることもでき極めて有益である。

以上説明に用いた実施例は本発明の理解を容易にするために特定の具体的な実施手段を与えたにすぎず、本発明の範囲を限定するものでない。

#### 図面の簡単な説明

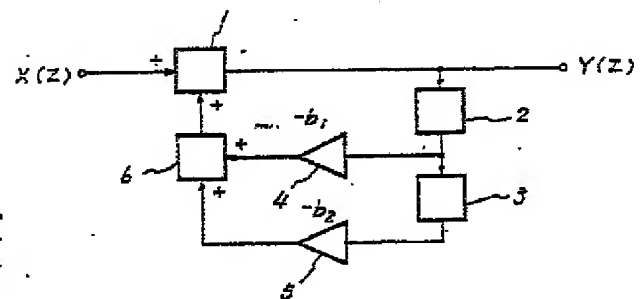
第1図は2次の2伝達関数を有する掃蕩形デジタルフィルタのブロック図を示し、参照数字1及び6は加算器、2及び3は1サンプル遅延回路、4及び5は乗算器である。第2図は2次掃蕩形デジタルフィルタの $z$ 平面上における極と零の位置を示す図である。第3図は本発明のデジタル発振器の第1及び第2の実施例を示すためのブロック図であり、参照数字34及び35は1サンプル遅延回路、36は乗算器、37は加算器、38は非直線伝達回路、39は全零信号検出回路である。第4図は非直線伝達回路38の入力対出力の

関係を示す図である。第5図及び第6図は非直線伝達回路38の実現例を示すブロック図である。第7図は本発明のデジタル発振器の第3実施例を示すブロック図で、参照数字30はデジタル発振器、70は位相比較器、71はループフィルタ、72は加算器である。

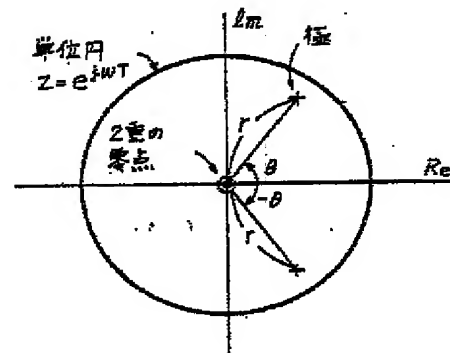
代理人 弁理士 内 原

特許庁長官

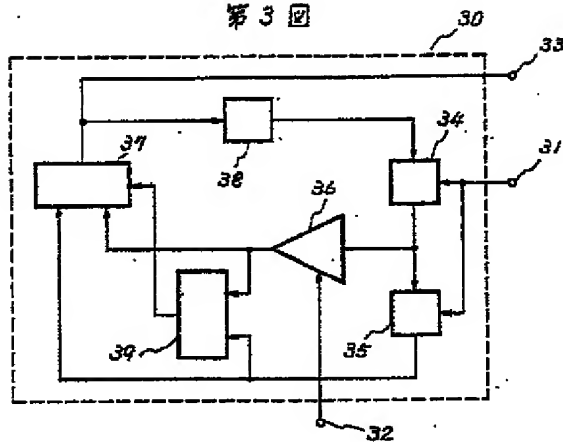
第1図



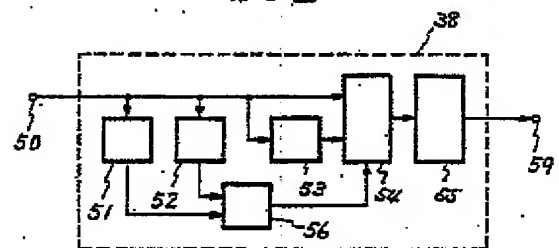
第2図



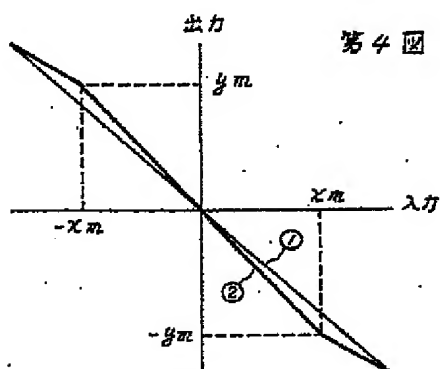
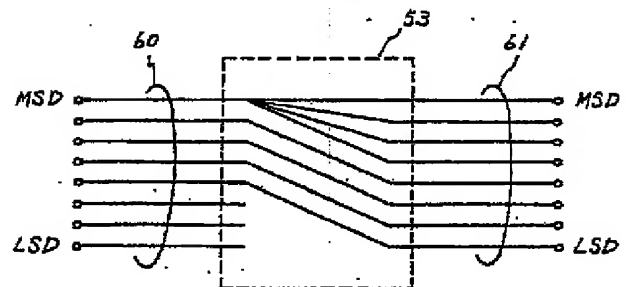
第3図



第5図



第6図



第7図

